

PROGRAMMABLE WIRING CIRCUIT AND TEST BOARD DEVICE

Publication number: JP8102492 (A)

Publication date: 1996-04-16

Inventor(s): SHIRASAGO TOSHIKI; SEKIZAWA YUICHI; AOKI TAE

Applicant(s): TOKYO SHIBAURA ELECTRIC CO

Classification:

- international: G01R31/28; G06F11/22; H01L21/82; G01R31/28; G06F11/22; H01L21/70; (IPC1-7): H01L21/82; G01R31/28; G06F11/22

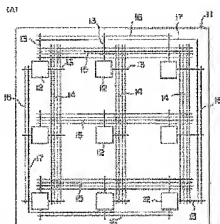
- European:

Application number: JP19940289689 19941124

Priority number(s): JP19940289689 19941124; JP19940181431 19940802

Abstract of JP 8102492 (A)

PURPOSE: To remove influence of a wiring delay, raise the degree of freedom of a wiring and contrive to enhance use efficiency by a method wherein a bypass wiring has beforehand been arranged so that a various-purpose wiring is bypassed every predetermined length. **CONSTITUTION:** Input and output terminals 12 are regularly arranged on a semiconductor chip 11. Input and output lines 13 for transmitting or receiving data between the input and output terminals 12 and a wiring path within a chip are arranged with respect to these input and output terminals 12, respectively. Various-purpose wires 14, 15 are formed in the semiconductor chip 11 to form an optical wiring path. Further, bypass wires 16, 17 for bypassing these various-purpose wires 14, 15 every predetermined length are arranged; A wiring connection point 18 is arranged in an array-like form in each intersecting point location of the input and output lines 13, the various-purpose wires 14, 15 and the bypass wires 16, 17 and is a program element capable of changing a connection state with respect to each other and controlling a wiring path.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102492

(43) 公開日 平成8年(1996)4月16日

| (51) Int. CL ⁴ | 識別記号 | 片内整理番号 | F I | 技術表示箇所 |
|--------------------------------------|---------|--------|----------------|--------|
| H 0 1 L 21/82 | | | | |
| G 0 1 R 31/28 | | | | |
| G 0 6 F 11/22 | 3 2 0 Z | | | |
| | | | H 0 1 L 21/ 82 | A |
| | | | G 0 1 R 31/ 28 | H |
| 審査請求 未請求 請求項の数15 O L (全 16 頁) 最終頁に続く | | | | |

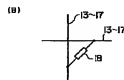
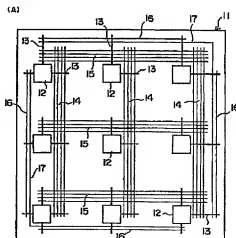
| | | | |
|--------------|------------------|----------|--|
| (21) 出願番号 | 特願平6-289689 | (71) 出願人 | 000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地 |
| (22) 出願日 | 平成6年(1994)11月24日 | (72) 発明者 | 白砂 俊明 神奈川県川崎市幸区柳町70番地 株式会社 東芝柳町工場内 |
| (31) 優先権主張番号 | 特願平6-181431 | (72) 発明者 | 岡澤 裕一 神奈川県川崎市幸区柳町70番地 株式会社 東芝柳町工場内 |
| (32) 優先日 | 平6(1994)8月2日 | (72) 発明者 | 青木 妙 神奈川県川崎市幸区柳町70番地 株式会社 東芝柳町工場内 |
| (33) 優先権主張国 | 日本 (J P) | (74) 代理人 | 弁理士 鈴江 武彦 |

(54) 【発明の名称】 プログラム可能な配線回路及びテストボード装置

(57) 【要約】

【目的】配線遅延の受けず、配線の自由度を上げて使用効率を向上させる。

【構成】チップ11上に規則配置された入出力端子12と、この入出力端子12それぞれに対して配設され、該入出力端子12とチップ内の配線経路との間のデータの送受を行なう入出力ライン13と、任意の配線経路を形成すべく上記半導体チップ11に形成された汎用配線14、15と、この汎用配線14、15を所定長毎にバイパスするバイパス配線16、17と、上記入出力ライン13、汎用配線14、15及びバイパス配線16、17の各交点位置にアレイ状に配置され、相互間の接続状態を可変して配線経路を制御するプログラム素子でなる配線接続ポイント18とを備える。



【特許請求の範囲】

【請求項1】 半導体チップに規則配置された入出力端子と、

この入出力端子それぞれに対して配設され、該入出力端子とチップ内の配線経路との間のデータの送受を行なう入出力ラインと、
任意の配線経路を形成すべく上記半導体チップに配設された汎用配線と、

この汎用配線を所定長毎にバイパスするバイパス配線と、
上記入出力ライン、汎用配線及びバイパス配線の各交点位置にアレイ状に配置され、相互間の接続状態を可変して配線経路を制御するプログラム素子でなる配線接続ポイントとを具備したことを特徴とするプログラム可能な配線回路。

【請求項2】 上記バイパス配線は汎用配線をバイパスする所定長を複数個設けたことを特徴とする請求項1記載のプログラム可能な配線回路。

【請求項3】 上記バイパス配線は上記入出力端子及び入出力ラインを設けた層とは別の層に設けた多層構造としたことを特徴とする請求項1記載のプログラム可能な配線回路。

【請求項4】 上記バイパス配線はチップ外周近傍で上記入出力端子を直接接続したことを特徴とする請求項1記載のプログラム可能な配線回路。

【請求項5】 上記バイパス配線は上記入出力ライン上に直接接続したことを特徴とする請求項1記載のプログラム可能な配線回路。

【請求項6】 上記バイパス配線は上記汎用配線上を直接接続したことを特徴とする請求項1記載のプログラム可能な配線回路。

【請求項7】 半導体チップに規則配置された入出力端子、この入出力端子それぞれに対して配設され、該入出力端子とチップ内の配線経路との間のデータの送受を行なう入出力ライン、任意の配線経路を形成すべく上記半導体チップに配設された汎用配線、この汎用配線を所定長毎にバイパスするバイパス配線、上記入出力ライン、汎用配線及びバイパス配線の各交点位置にアレイ状に配置され、相互間の接続状態を可変して配線経路を制御するプログラム素子でなる配線接続ポイントを備えたプログラム可能な配線回路と、

このプログラム可能な配線回路の各入出力端子と1体1に対応して接続された端子部を有し、任意のLSIを搭載可能なソケットとを配設したことを特徴とするテストボード装置。

【請求項8】 半導体チップに規則配置された汎用入出力端子と、
任意の配線経路を形成すべく配設された汎用配線と、
外部のバスラインと接続すべく配設されたバス専用入出力端子と、

このバス入出力端子と接続されたバス専用配線と、
上記汎用配線と上記バス専用配線とを接続するバス接続配線と、

上記汎用入出力端子、汎用配線、バス専用配線及びバス接続配線の各交点位置にアレイ状に配置され、相互間の接続状態を可変して配線経路を制御するプログラム素子でなる配線接続ポイントとを具備したことを特徴とするプログラム可能な配線回路。

【請求項9】 半導体チップに規則配置された汎用入出力端子、任意の配線経路を形成すべく配設された汎用配線と、外部のバスラインと接続すべく配設されたバス専用入出力端子、このバス入出力端子と接続されたバス専用配線、上記汎用配線と上記バス専用配線とを接続するバス接続配線、上記汎用入出力端子、汎用配線、バス専用配線及びバス接続配線の各交点位置にアレイ状に配置され、相互間の接続状態を可変して配線経路を制御するプログラム素子でなる配線接続ポイントを備えたプログラム可能な配線回路と、
このプログラム可能な配線回路の汎用入出力端子と1体1に対応して接続された端子部を有し、任意のLSIを搭載可能なソケットと、
上記プログラム可能な配線回路のバス入出力端子と接続されたバスラインとを配設したことを特徴とするテストボード装置。

【請求項10】 FPGA (Field Programmable Gate Array) を専用搭載するソケットと、
これらソケットの端子と検配用器具とを接続するピンポスト部と、
外部ボードと上記ピンポスト部とを接続するコネクタ部と、

上記ソケットどうしの間、上記ソケットとピンポスト部の間、ピンポスト部とコネクタ部の間の少なくとも一つに規則配置され、接続状態を推断する物理的スイッチ手段とを具備したことを特徴とするテストボード装置。

【請求項11】 半導体チップに規則配置された複数の入出力端子と、
これら入出力端子間を接続して任意の配線経路を形成すべく配設された汎用配線と、

この汎用配線上に上記入出力端子毎に配置され、当該入出力端子での信号の伝送方向を規定すべくそれぞれが互いの入力端子と出力端子とを接続した一対のトライステートバッファよりなる複数の入出力バッファと、
これら複数の入出力バッファを構成するそれぞれのトライステートバッファのイネーブル/ディセーブル情報保持手段とを保持する保持手段と、
この保持手段に保持させる上記イネーブル/ディセーブル情報を入力する情報入力端子とを具備したマスクゲートアレイであることを特徴とする配線回路。

【請求項12】 上記保持手段は上記入出力バッファに
対する上記入出力端子数だけのイネーブル/ディセー

ブル情報を保持し、この保持手段の保持するイネーブル／ディセーブル情報及びこれを反転した情報を各入出力バッファを構成する一対のトライステートバッファに供することを特徴とする請求項1記載の配線回路。

【請求項13】 上記保持手段は上記入出力バッファを構成するトライステートバッファ個々に対するイネーブル／ディセーブル情報を保持することを特徴とする請求項1記載の配線回路。

【請求項14】 半導体チップに規則配置された複数の入出力端子、これら入出力端子間を接続して任意の配線経路を形成すべく配設された汎用配線、この汎用配線上に上記入出力端子毎に配置されて当該入出力端子での信号の伝送方向を規定すべくそれぞれが互いの入力端子と出力端子とを接続した一対のトライステートバッファよりなる複数の入出力バッファ、これら複数の入出力バッファを構成するそれぞれのトライステートバッファのイネーブル／ディセーブル情報を保持する保持手段、この保持手段に保持させる上記イネーブル／ディセーブル情報を入力する情報入力端子を備えたマスクドゲートアレイである配線回路と、この配線回路の各入出力端子と1体1に対応して接続された端子部を有し、任意のLSIを搭載可能なソケットとを配線したことを特徴とするテストボード装置。

【請求項15】 FPGA (Field Programmable Gate Array) を専用搭載する複数のソケットと、これらソケットの端子と検証用器具とを接続するピンポスト部と、

外部ボードと上記ピンポスト部とを接続するコネクタ部と、

半導体チップに規則配置された複数の入出力端子、これら入出力端子間を接続して任意の配線経路を形成すべく配設された汎用配線、この汎用配線上に上記入出力端子毎に配置されて当該入出力端子での信号の伝送方向を規定すべくそれぞれが互いの入力端子と出力端子とを接続した一対のトライステートバッファよりなる複数の入出力バッファ、これら複数の入出力バッファを構成するそれぞれのトライステートバッファのイネーブル／ディセーブル情報を保持する保持手段、この保持手段に保持させる上記イネーブル／ディセーブル情報を入力する情報入力端子を備え、上記ソケットどうしの間、上記ソケットとピンポスト部の間、ピンポスト部とコネクタ部の間の少なくとも一つに配置されてその間の接続状態を継断するマスクドゲートアレイである配線回路とを具備したことを特徴とするテストボード装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ユーザが設計現場で所望の配線が実現できるプログラム可能な配線回路及びこの配線回路を用いたテストボード装置に関する。

【0002】

【従来の技術】 一般のゲートアレイに代表されるマスクドASICに対して、ユーザが設計現場 (フィールド) で所望の論理回路をプログラムしてそのまま使用できるPLD (Programmable Logic Device) やFPGA (Field Programmable Gate Array) 等が注目されている。このうちFPGAは、上記一般のゲートアレイに比してユーザが手元で簡単に所望の回路をプログラムできるために開発の手間、費用、期間等を大幅に低減することが可能であり、ゲートアレイを量産する前の論理検証及び試作用デバイスとして利用されることが多い。

【0003】 FPGAの基本的な構造は、ゲート回路を形成する基本セルとしての論理ブロックがチップ上に行列状に規則正しく配置され、その論理ブロックの周辺に論理ブロック間を接続するための汎用配線を施した配線領域を設ける。さらに、配線領域には多数の配線接続ポイントがあり、FPGAのアーキテクチャに従ってその接続ポイントにアンチヒューズまたはパストラジスタによるプログラム素子を配するものとなっている。

【0004】 回路の設計者は、これらの要素とI/Oブロックを使用して、指定する回路に応じて必要な論理ブロック領域と配線領域と配線接続ポイントとI/Oブロックを指定することにより、任意の回路を実現するものである。

【0005】 しかし、このFPGAを複数用いてボード上で任意の回路を構成する場合、FPGA間の配線接続は従来と同様にラッピング等による固定的な方法で行っていた。したがって、1つのFPGA内でのみ回路を変更する場合には問題ないが、複数のFPGAにまたがった規模で回路を変更する場合には、FPGA間の配線も接続し直さなくてはならず、FPGAのメリットを活かすことができないという不具合があった。

【0006】 そこで上記不具合を解消するものとして、FPGAから機能ブロックを取り除き、プログラム素子だけをアレイ状に集積した配線専用のLSIである「FPIC (Field Programmable Interconnect components)」及びこのFPIC専用のプリント基板が米アプティクス社 (Aptix Corp.) で開発され、製品化されている (例えば製品番号A1024D、FBCB-AP4-S)。

【0007】 このFPIC及び専用プリント基板を用い、さらに複数のFPGAを搭載することで汎用のフレッドボードを構成することができ、通常のプリント基板の設計、開発が不要となる。

【0008】 よって、大規模ASICにおける試作検証としてこのFPIC及び専用プリント基板を利用すると設計変更にも柔軟に対応できることとなり、試作検証期間を大幅に短縮できるものである。

【0009】

【発明が解決しようとする課題】 上述したF P I Cにおいては、配線経路の各交点にあるプログラマブル素子である接続ポイントを通する毎に配線遅延が増加するため、回路のクリティカルパスを解決することが困難となり、回路の動作速度の低下を招くこととなる。

【0010】 また、上記プログラマブル素子の個数は有限であるので、高いファンアウトの配線接続に対しては極端にF P I Cの使用効率が低下する等の問題があった。本発明は上記のような実情に鑑みてなされたもので、その目的とするところは、配線遅延の影響を受けず、配線の自由度を上げて使用効率を大幅に向上させることができるプログラム可能な配線回路及びテストボード装置を提供することにある。

【0011】

【課題を解決するための手段】 すなわち本発明は、半導体チップに規則配置された入出力端子と、この入出力端子それぞれに対して配設され、該入出力端子とチップ内の配線経路との間のデータの送受を行なう入出力ラインと、任意の配線経路を形成すべく上記半導体チップに形成された汎用配線と、この汎用配線を所定長毎にバイパスするバイパス配線と、上記入出力ライン、汎用配線及びバイパス配線の各交点位置にアレイ状に配置され、相互間の接続状態を可変して配線経路を制御するプログラム素子となる配線接続ポイントとを備えるようにしたものである。

【0012】

【作用】 上記のような構成とすることにより、汎用配線を所定長毎にバイパスするようなバイパス配線を予め施しておくことにより、実際に配線接続する場合には上記汎用配線とバイパス配線の中から必要なものを選択してプログラミングするだけで、配線遅延の影響を受けず、配線の自由度を上げて使用効率を大幅に向上させることが可能となる。

【0013】

【実施例】

【第1実施例】 以下本発明をF P I Cチップに適用した場合の第1実施例について図面を参照して説明する。

【0014】 図1(A)はその内部構成を示すもので、11がF P I Cチップ、12、12、…がこのF P I Cチップ11上に行列状に規則配置された多数の入出力端子であり、ここでは簡略化した構成として例えば3行3列の計9個の入出力端子12が配置されるものとする。また、13、13、…は上記入出力端子12、12、…の水平、垂直各方向にセグメント化されて接続された、入出力端子12、12、…のインタフェースを持つ入出力ラインであり、これら入出力ライン13、13、…を相互に接続するように水平方向汎用配線14、14、…と垂直方向汎用配線15、15、…とがマトリクスを形成するように配設される。

【0015】 さらに、F P I Cチップ11の外周近傍の領域で入出力ライン13と交差するようにバイパス配線16、

16、…、17、17を設ける。ここで、バイパス配線16、16、…はそれぞれ外周に位置する入出力端子12、12、…のうち、直線上に配線されるものを直接接続するものであり、またバイパス配線17、17はそれぞれ上記バイパス配線16で接続された隣り合う直交する2つの直線上に配置されるものを直接接続するものである。

【0016】 すなわち、上記外周に位置する入出力端子12、12、…の配置を矩形に見立てた場合、各辺上に位置する入出力端子12、12、…を1辺単位で一括接続するのがバイパス配線16、16、…であり、隣接する2辺上にL字状に位置する入出力端子12、12、…を一括接続するのがバイパス配線17、17である。

【0017】 そして、図1(A)では示さなかったが、上記入出力ライン13、13、…、水平方向汎用配線14、14、…、垂直方向汎用配線15、15、…、バイパス配線16、16、…、17、17相互の交差点位置にそれぞれ図1(B)に示すような接続ポイント18、18、…が配置される。

【0018】 この接続ポイント18、18、…は、例えばバスタランジスタやアンチヒューズ等の導通状態をプログラムで制御可能な素子で構成されるもので、接続状態を示すプログラムを一括してダウンロードすることにより、接続状態が切換選択される。

【0019】 上記のような構成にあって、例えば図中の左上に位置する入出力端子12と右下に位置する入出力端子12とを接続する場合などのように、対角上の入出力端子12を接続するような配線経路を形成する際には、水平方向汎用配線14及び垂直方向汎用配線15に代えてバイパス配線17を選択して該当する接続ポイント18をプログラムにより導通させれば、導通させる接続ポイント18の数をより少なくすることができるため、配線遅延の影響が小さく、高速なバスラインを実現することができる。

【0020】 また、例えば図中の左下に位置する入出力端子12と右下に位置する入出力端子12とを接続する場合などのように、直線上の離れた入出力端子12を接続するような配線経路を形成する際には、水平方向汎用配線14に代えてバイパス配線16を選択して該当する接続ポイント18をプログラムにより導通させれば、上記と同様に導通させる接続ポイント18の数をより少なくすることができるため、やはり配線遅延の影響が小さく、高速なバスラインを実現することができる。

【0021】 以上に述べた効果は、F P I Cチップ11上の $n \times m$ の入出力端子12の構成数が多ければ多いほど顕著となるもので、バイパス配線16、16、…、17、17を適宜選択することで、最小限の接続ポイント18による高速のバスラインを実現できる。

【0022】 また、上記図1ではF P I Cチップ11の外周に位置する入出力端子12、12、…に対してバイパス配線16、16、…、17、17を直接設けるようにしたが、水平方向汎用配線14及び垂直方向汎用配線15に対するバイパ

ス配線としては図2及び図3に示すような構成とすることも考えられる。以下、本第1実施例の他の構成例として図2及び図3を用いて説明する。

【0023】図2は図2(A)に示す如く2層構造を持つF P I Cを例示するもので、図2(B)はその下側、第1の層21の構成を示す。同図(B)に示すようにこの第1の層21には、上記図1で示したF P I Cの基本構造、すなわち、例えば水平方向4×垂直方向4の計16個の入出力端子12, 12, …、入出力ライン13, 13, …、水平方向汎用配線14, 14, …及び垂直方向汎用配線15, 15, …が形成され、各交差点位置に接続ポイント18, 18, …(図示せず)が配置されるものである。

【0024】この第1の層21に対し、図2(C)に示すように上側の第2の層22には、第1の層21の入出力ライン13, 13, …に対応する位置にバイパス配線23, 23, …, 24, 24, …が配設されるものである。ここでバイパス配線23, 23, …は、直交する2つの直線上にL字状に配置される入出力ライン13, 13, …を直接接続するものであり、一方、バイパス配線24, 24, …は1本の直線上に配置される入出力ライン13, 13, …を直接接続するものである。

【0025】しかし、これらバイパス配線23, 23, …, 24, 24, …と入出力ライン13, 13, …との各交差点位置に、図中では小円形で示す接続ポイント18, 18, …を配置するもので、この接続ポイント18に接続状態を示すプログラムを一括してダウンロードすることにより、接続状態が切替選択される。

【0026】上記のような構成とすることにより、バイパス配線23, 23, …, 24, 24, …を必要に応じて水平方向汎用配線14, 14, …、垂直方向汎用配線15, 15, …に代えて選択し、該当する接続ポイント18をプログラムにより導通させて配線経路を形成すれば、導通させる接続ポイント18の数をより少なくすることができるため、配線遅延の影響が小さく、高速度バスラインを実現することができる。

【0027】この図2の構造の場合、上記図1に示した構造と比して2層となったために若干チップ構造が複雑となるものの、チップの外周に限らず内側に位置する入出力端子12, 12, …も含めて自由にバイパス配線23, 23, …, 24, 24, …を配設することができるため、より配線遅延の影響が小さくなり、高速度バスラインを実現することができると共に、配線の自由度を上げて使用効率を大幅に向上させることができる。

【0028】この図2の構成においても、上記効果はチップ上の $n \times m$ の入出力端子12, 12, …の構成数が多ければ多いほど、そしてバイパス配線23, 23, …, 24, 24, …の種類及び個数が多ければ多いほど顕著となる。

【0029】続く図3も図3(A)に示す如く2層構造を持つF P I Cを例示するもので、図3(B)はその下側、第1の層25の構成を示す。同図(B)に示すように

この第1の層25にも、上記図1で示したF P I Cの基本構造、すなわち、例えば水平方向4×垂直方向4の計16個の入出力端子12, 12, …、入出力ライン13, 13, …、水平方向汎用配線14, 14, …及び垂直方向汎用配線15, 15, …が形成され、各交差点位置に接続ポイント18, 18, …(図示せず)が配置されるものである。

【0030】この第1の層25に対し、図3(C)に示すように上側の第2の層26には、第1の層25の汎用配線14, 14, …, 15, 15, …に対応する位置にバイパス配線27, 27, …, 28, 28, …が配設されるものである。ここでバイパス配線27, 27, …は、直交する水平方向汎用配線14, 14, …と垂直方向汎用配線15, 15, …上に渡ってL字状に直接接続配線されるものであり、一方、バイパス配線28, 28, …は水平方向汎用配線14, 14, …または垂直方向汎用配線15, 15, …上に直線状に直接接続配線されるものである。

【0031】しかし、これらバイパス配線27, 27, …, 28, 28, …と水平方向汎用配線14, 14, …、垂直方向汎用配線15, 15, …との各交差点位置に、図中では小円形で示す接続ポイント18, 18, …を配置する。

【0032】上記のような構成とすることにより、バイパス配線27, 27, …, 28, 28, …を必要に応じて水平方向汎用配線14, 14, …、垂直方向汎用配線15, 15, …に代えて選択し、該当する接続ポイント18をプログラムにより導通させて配線経路を形成すれば、導通させる接続ポイント18の数をより少なくすることができるため、配線遅延の影響が小さく、高速度バスラインを実現することができる。

【0033】この図3の構造の場合も図2の構造と同様に、上記図1に示した構造と比して2層となったために若干チップ構造が複雑となるものの、チップの外周に限らず内側に位置する入出力端子12, 12, …も含めて自由にバイパス配線27, 27, …, 28, 28, …を配設することができるため、より配線遅延の影響が小さくなり、高速度バスラインを実現することができる。

【0034】また、バイパス配線27, 27, …, 28, 28, …を水平方向汎用配線14, 14, …、垂直方向汎用配線15, 15, …上に直接配設したため、上記図2に示した構造と比してより配線の自由度を上げて、使用効率を大幅に向上させることができる。

【0035】なお、上記図1乃至図3で示したバイパス配線17, 23, 27はいずれもL字状に設けられるものとして説明したが、これに限ることなく、それぞれ直交する3本の直線によるコ字状のものとしてもよいし、矩形のチップ上で対角位置を直接接続する斜線状のものとしてもよい。

【0036】また、上記図2、図3では、F P I Cの基本構造を設けた第1の層21, 25上にバイパス配線を形成した第2の層22, 26を一体にした構造を示したが、入出力端子及び入出力ラインを設けた基本層に対して汎

用配線を設けた層とバイパス配線を形成した層とをそれぞれ別設して多層構造を構成するようにしてもよい。

【0037】【第2実施例】以下本発明をF P I Cチップを搭載したテストボード装置に適用した場合の第2実施例について図面を参照して説明する。

【0038】図4はその全体構成を示すもので、31がテストボード(図では「P C B」と示す)である。このテストボード31上には、nビット幅のバスライン32が設けられ、このバスライン32に対して例えば4個のF P I Cチップ33a~33dがそれぞれ図示しないソケットを介して接続配置されるものとする。

【0039】これらF P I Cチップ33a~33dは、それぞれ任意のL S I 34aと34b、34cと34d、34eと34f、34gと34gが接続可能となるもので、接続されたL S I 34a~34gはF P I Cチップ33a~33dを介して共にバスライン32と接続可能となると共に、バスではない一般の信号線35a、35bを介してF P I Cチップ33aと33b、33cと33dが接続されるため、L S I 34a、34bとL S I 34c、34dが、またL S I 34e、34fとL S I 34g、34gがそれぞれ接続可能となる。

【0040】しかるに、上記ソケットを介してF P I Cチップ33a~33dに接続するL S I 34a~34gとしては、汎用のI C、L S IだけでなくF P G Aを用いることができ、事実上あらゆる任意の回路を試作、検証することができるようになるのである。

【0041】次に、上記F P I Cチップ33a(〜33d)の内部構成について図5により説明する。同図で、41、41、…がこのF P I Cチップ33a(〜33d)上に行列状に規則配置された多数の汎用入出力端子である。また、42、42、…は上記汎用入出力端子41、41、…の水平、垂直各方向にセグメント化されて接続された、汎用入出力端子41、41、…のインタフェースを持つ入出力ライン42、42、…であり、これら入出力ライン42、42、…を相互に接続するように水平方向汎用配線43、43、…と垂直方向汎用配線44、44、…がマトリクスを形成するように配設される。

【0042】さらに、F P I Cチップ33a(〜33d)上の一端部、例えば図中の如く左端部、上記垂直方向汎用配線44、44、…と平行なバス専用配線45、45、…を設け、このバス専用配線45、45、…の一端部にバス専用入出力端子46、46、…を設ける。ここでは、上記テストボード31のバスライン32が例えばnビット幅であるものとして図中に示す如くバス専用配線45、45、…及びバス専用入出力端子46、46はそれぞれ4本分設けられる。さらに、バス専用配線45、45、…と、入出力ライン48、48、…を介した上記汎用入出力端子41、41、…、垂直方向汎用配線44、44、…とを接続するべく、水平方向汎用配線43、43、…とそれぞれ平行なバス接続配線47、47、…を設ける。このバス接続配線47、47、…も、バス専用配線45、45、…に合わせて4本分設けられるものとする。

【0043】そして、この図5では特に図示しないが、上記入出力ライン42、42、…、水平方向汎用配線43、43、…、垂直方向汎用配線44、44、…、バス専用配線45、45、…、入出力ライン48、48、…及びバス接続配線47、47、…相互の各交差点位置にそれぞれ接続ポイントが配置される。この接続ポイントは、例えばバスランジスタやアンチヒューズ等の導通状態をプログラムで制御可能な素子で構成されるもので、この各接続ポイントに接続状態を示すプログラムを一括してダウンロードすることにより、接続状態が切換え選択されるようになる。

【0044】上記のような構成にあって、例えばF P I Cチップ33aを介してL S I 34aの任意端子をバスライン32に接続した状態を図6に示す。図中のバス専用入出力端子46、46、…を除く各クロスポイントで表示位置の接続ポイントを導通させるものとする。ここで、上記バスライン32が4ビット幅であるとして、L S I 34aの任意4端子はF P I Cチップ33aの汎用入出力端子41、41、…の任意4つに接続され、これら4つの汎用入出力端子41、41、…がバス接続配線47、47、…を介してバス専用配線45、45、…に接続されるものである。

【0045】このような配線経路を実現することで、F P I Cチップ33a(〜33d)内の水平方向汎用配線43、43、…及び垂直方向汎用配線44、44、…を使用することなく、L S I 34aをバス接続することができる。したがって、配線遅延を小さくすると共に、バス専用配線45、45、…における各ビット毎の遅延時間のばらつき等も生じさせずに配線経路を実現することができる。また、内部配線効率が高くなってF P I Cチップ33aをより有効に使用し、L S I 34aを含めてより自由度の高い回路を構成することができるものである。

【0046】【第3実施例】以下本発明をF P G Aチップを搭載したテストボード装置に適用した場合の第3実施例について図面を参照して説明する。

【0047】図7はその全体構成を示すもので、51がテストボードである。このテストボード51上には、例えば4個のF P G Aチップ52a~52dがそれぞれ図示しないソケットを介して接続配置されると共に、検証用のラッピングポストピンが配設された2つのポスト部53a、53b、…ここでは図示しない外部のピンとの接続に用いられるコネクタ部(図では「C O N 1〜5」と示す)54a~54e、任意のI C、L S Iを接続可能なフリースホルド55等が設けられる。

【0048】これらF P G Aチップ52a~52dは、それぞれ多数の端子を有し、ここではそのうちF P G Aチップ52aの端子t1〜t6、F P G Aチップ52bの端子t7〜t12、F P G Aチップ52cの端子t13〜t18及びF P G Aチップ52dの端子t19〜t24を配線接続されているものとする。

【0049】すなわち、F P G Aチップ52aでは、端子t1が配線L1を介してF P G Aチップ52aの端子t13

11

と、端子t2が途中にスイッチsw14を配した配線L2を介してFPGAチップ52aの端子t14及び配線L3を介してFPGAチップ52bの端子t8と、端子t3が配線L4を介してFPGAチップ52bの端子t7と、端子t4が配線L5を介してFPGAチップ52cの端子t16及び途中にスイッチsw11を配した配線L6を介してFPGAチップ52bの端子t10と、端子t5が配線L7を介してFPGAチップ52dの端子t23と、そして端子t6が配線L8を介してFPGAチップ52cの端子t18とそれぞれ接続される。

【0050】また、FPGAチップ52bでは、端子t7が配線L9を介してピンポスト部53aのピンポストTP11と、端子t8が途中にスイッチsw13を配した配線L10を介してFPGAチップ52dの端子t20及び配線L11を介してピンポスト部53aのピンポストTP12と、端子t9が配線L12を介してFPGAチップ52dの端子t21及び配線L13を介してピンポスト部53aのピンポストTP14と、端子t10が配線L14を介してFPGAチップ52dの端子t22及び配線L15を介してピンポスト部53aのピンポストTP13と、端子t11が配線L16を介してFPGAチップ52cの端子t17及び配線L17を介してピンポスト部53aのピンポストTP15と、そして端子t12が配線L18を介してFPGAチップ52dの端子t24とそれぞれ接続される。

【0051】さらに、FPGAチップ52cでは、端子t14が配線L19を介してFPGAチップ52dの端子t20と、端子t15が配線L20を介してFPGAチップ52dの端子t19と、端子t16が配線L21を介してFPGAチップ52dの端子t22と、端子t17が途中にスイッチsw12を配した配線L22を介してFPGAチップ52dの端子t23とそれぞれ接続される。

【0052】また、FPGAチップ52dでは、端子t19が配線L23を介してピンポスト部53bのピンポストTP22と、端子t20が配線L24を介してピンポスト部53bのピンポストTP21とそれぞれ接続される。

【0053】さらに、配線L25により上記コネクタ部54eの1端子c5が配線L8及び配線L18と接続され、そのためにコネクタ部54eの1端子c5がFPGAチップ52aの端子t6、FPGAチップ52cの端子t18、FPGAチップ52bの端子t12及びFPGAチップ52dの端子t24が一括接続される。

【0054】しかるに、ピンポスト部53aでは、ピンポストTP11がラッピング配線WR1を介して上記フリーホール55に装着されたC56の1端子Q1と接続されると共に、ピンポストTP12がそれぞれスイッチsw21～sw24を介して上記コネクタ部54a～54dの1端子と接続される。

【0055】上記スイッチsw11～sw14、sw21～sw24はいずれも記憶遅延の影響を考慮する必要のない、物理的、機械的に配線状態を制御するものであり、例え

12

ばテストボード51上に予め配設されたDIPスイッチにより構成されるものである。

【0056】続く図8に、上記図7のようにして構成されたテストボード51を第1のテストボードとし、他の同様の第2乃至第4のテストボード62～64と共に拡張ボード65に対してシステム接続した場合を示す。

【0057】同図で、第1のテストボード51では、コネクタ部(CON1)54aが配線L31を介して第3のテストボード63のコネクタ部(CON31)67aに、コネクタ部(CON2)54bが配線L32を介して拡張ボード65のコネクタ部(CONS2)69bに、コネクタ部(CON3)54cが配線L33を介して第4のテストボード64のコネクタ部(CON41)68aに、そしてコネクタ部(CON4)54dが配線L34を介して第2のテストボード62のコネクタ部(CON24)66dにそれぞれ接続される。

【0058】また、第2のテストボード62では、コネクタ部(CON21)66aが配線L35を介して第3のテストボード63のコネクタ部(CON33)67cに、コネクタ部(CON22)66bが配線L36を介して拡張ボード65のコネクタ部(CONS1)69aに、そしてコネクタ部(CON23)54cが配線L37を介して第4のテストボード64のコネクタ部(CON43)68cにそれぞれ接続される。

【0059】さらに、第3のテストボード63のコネクタ部(CON32)66bが配線L38を介して拡張ボード65のコネクタ部(CONS3)69cに、コネクタ部(CON34)67dが配線L39を介して第4のテストボード64のコネクタ部(CON44)68dにそれぞれ接続され、第4のテストボード64のコネクタ部(CON42)68bが配線L40を介して拡張ボード65のコネクタ部(CONS4)69dに接続される。

【0060】以上のような構成にあって、まず図7によるテストボード51内での配線動作について説明する。図7で、評価回路中のある信号について例えばFPGAチップ52aからFPGAチップ52dへの配線を行なう場合、まずFPGAのレイアウト処理としてFPGAチップ52aの出力端子をt5に割振ると共に、FPGAチップ52dの入力端子をt23に割振るものとする。これら端子t5～t23間は配線L7によりすでに接続されているため、これでFPGAチップ52aからFPGAチップ52dへの接続が実現される。

【0061】同様な接続レイアウト処理を図中の配線L16、L12、L1、L20、L4それぞれの両端に位置するFPGAチップ52a～52dについても行う。しかるに、FPGAチップ52a～52dの各端子t3、t8、t14、t20及びその間の配線L3、L10、L19、L2による4点間接続を行なう場合、上記レイアウト処理を実行すると共に、スイッチsw13、sw14をオンすることにより、該接続が実現される。なお、FPGAの未使用な外部端子は高インピーダンス状態であるので、仮に3点

間のFPGAの配線を行なう際に物理的に4点間のFPGAを接続したとしても問題は無い。

【0062】また、上記スイッチsw13、sw14をオフすることにより、配線L3と配線L19とは独立した2点間のFPGA接続となり、上記2点間の配線レイアウト処理を施すことが可能となる。

【0063】同様な接続レイアウト処理を配線L6と配線L21に対してスイッチsw11、sw12をオン/オフすることを実現する。また、配線L11によりピンポスト部53aのピンポストTP12と配線L3とを接続すると、測定評価時にピンポストTP12を観測することにより配線L3の状態を知ることができる。

【0064】さらに、ピンポストTP12はコネクタ部54a～54dとスイッチsw21～sw24を介して接続されるため、コネクタ部54a～54dに対応したスイッチsw21～sw24を任意にオン/オフすることにより、所望のコネクタ部54a～54dの1端子と配線L3、すなわちFPGAチップ52aの端子t2及びFPGAチップ52bの端子t8を接続することができる。

【0065】このように、FPGA間の各配線毎にピンポスト部53a、53bのピンポストPnを接続配線するものとし、各ピンポストPnをスイッチを介してコネクタ部54a～54eと接続されるようにすれば、任意のFPGAの端子を観測可能となると共に、任意のコネクタ部に接続することができる。

【0066】また、配線L9により配線L4と接続されたピンポスト部53aのピンポストTP11は、ラッピング配線WR1によりフリースホール55上のディスクリートICであるIC56の1端子Q1と接続することができる。

【0067】コネクタ部54eの1端子c5から外部信号が入力されると、この外部信号は配線L25から配線L8、L18を介してFPGAチップ52aの端子t6、FPGAチップ52cの端子t18、FPGAチップ52bの端子t12及びFPGAチップ52dの端子t24と一括接続されているため、FPGAチップ52a～52dのそれぞれに分配供給することができる。したがって、この外部信号として例えばクロックやリセット等のファンアウトの高い信号を供給するべくレイアウト処理で制振するようにすれば、FPGAチップ52a～52dをより有効に使用することができる。

【0068】上記図7のようにして構成されたテストボードF51を第1のテストボードとし、他の同様の第2乃至第4のテストボード62～64と共に拡張ボード65に対して図8の如くシステム接続したものとす。

【0069】この場合、配線L31、L34、L37、L39、L33及びL35により第1のテストボードF51と第2乃至第4のテストボード62～64上の「CONn1」「CONn3」「CONn4」（ここでは0、2～4）で表わされるコネクタ部を介して各テストボードF51、62～64が接続される。

【0070】また、これと共に、配線L32、L36、L38及びL40により第1のテストボードF51及び第2乃至第4のテストボード62～64上の「CONn2」（nは上記と同じ）で表わされるコネクタ部と拡張ボード65上の「CONS1～4」で表わされるコネクタ部69a～69dとを介して、各テストボードF51、62～64と拡張ボード65とが接続される。

【0071】第1のテストボードF51内では、第2乃至第4のテストボード62～64及び拡張ボード65と接続されたコネクタ部（CON1～4）54a～54eそれぞれの1端子を、スイッチsw21～sw24のオン/オフの設定によりピンポスト部53aと接続しており、またこのピンポスト部53aは上記図7に示したように各FPGAチップ52a～52dの任意端子と接続されている。したがって、第1のテストボードF51内のFPGAチップ52a～52dと第2乃至第4のテストボード62～64及び拡張ボード65に搭載される任意のFPGA、LSIあるいはIC等とを接続することができる。この場合、第1のテストボードF51内のスイッチsw11～sw14、sw21～sw24はそれぞれ物理的、機械的に配線の接続状態を制御するものであるため、配線遅延の影響を考慮することなく各配線の接続状態を可変設定することができる。

【0072】[第4実施例] 以下本発明をマスクゲートアレイによる配線回路及びこの配線回路を用いたFPGAチップ搭載のテストボード装置に適用した場合の第4実施例について図面を参照して説明する。

【0073】図9はマスクゲートアレイによる配線回路の構成を示すもので、71がゲートアレイチップ、72、72、…がこのゲートアレイチップ71上に行列状に規則配置された多数の入出力端子であり、ここでは簡略化した構成として例えば2行2列の計4個が配置されるものとする。

【0074】上記入出力端子72、72、…は、入出力バッファ73、73、…を介して汎用配線74、74、…により一括接続されるもので、各入出力バッファ73、73、…はそれぞれ互いに入力端子と出力端子とを接続した一対のトライステートバッファ73、75より構成される。

【0075】これら入出力バッファ73、73、…を構成する各対のトライステートバッファ75、75、…は、制御回路76からのインバーブ/ディセーブ信号が一方に直接、他方にインバータ77、77、…を介して反転されてそれぞれ入力されることで、そのいずれかがハイインピーダンス状態となって信号の伝送を遮断して、信号の伝送方向を規定するようになるものである。

【0076】しるに制御回路76は、例えば入出力端子72、72、…の個数だけ多段接続されたフリップフロップ(F/F)78、78、…によりシフトレジスタを構成するもので、クロック端子79より入力される動作クロックにしたがって外部から制御端子80に与えられる制御情報をシフトしながら保持し、各段の保持内容を上記インバー

ル/ディセーブル信号として対応する入出力バッファ73, 73, …に供する。

【0077】上記のような構成にあって、制御端子80より制御回路76のF/F78, 78, …に制御情報を入力することで、その保持内容が対応する入出力バッファ73, 73, …にインネーブル/ディセーブル信号として送られると、上述した如く入出力バッファ73, 73, …を構成する各対のトライステートバッファ75, 75, …のいずれか一方がハイインピーダンス状態となって信号の伝送を遮断し、他方が“H”/“L”レベルの信号を伝送することになる。

【0078】そのため、結果として入出力端子72, 72, …がそれぞれ入力端子あるいは出力端子となって信号の伝送方向が規定されることとなり、入出力端子72, 72, …内で対応するもの同士が接続されるものである。

【0079】なお、上記図9では制御回路76からのインネーブル/ディセーブル信号を、入出力バッファ73を構成する一対のトライステートバッファ75, 75の一方に直接、他方にインバータ77を介して反転して供することにより、その一方のトライステートバッファ75で必ず“H”/“L”レベルの信号を伝送することとし、対応する当該入出力端子72を入出力端子と出力端子のいずれか一方に規定するようにしたが、代わって図10に示すような構成とすることにより一対のトライステートバッファ75, 75の双方をハイインピーダンス状態として双方の信号の伝送を遮断させることもできる。

【0080】すなわち図10では、図9のインバータ77, 77, …を廃し、制御回路76のF/F78, 78, …を入出力バッファ73, 73, …を構成する全てのトライステートバッファ75, 75, …の個数だけ多段接続してシフトレジスタを構成している。

【0081】制御回路76では、クロック端子79から入力される動作クロックにしたがって外部から制御端子80に与えられる制御情報をF/F78, 78, …でシフトしながら保持し、各段の保持内容を上記インネーブル/ディセーブル信号として対応する入出力バッファ73, 73, …のトライステートバッファ75, 75, …に個別に供する。

【0082】そのため、入出力バッファ73, 73, …を構成する一対のトライステートバッファ75, 75の双方をハイインピーダンス状態として双方間の信号の伝送を遮断させ、結果として対応する入出力端子72と他の入出力端子72, 72, …との接続を断つように設定させることもできるものである。

【0083】次に上記図9あるいは図10で示したゲートアレイチップ71と同様の配線回路を複数のFPGAを搭載したテストボード装置に適用した場合について説明する。

【0084】図11はその全体構成を示すもので、81がテストボードである。このテストボード81上には、例えば4個のFPGAチップ82a～82dがそれぞれ図示しな

いソケットを介して接続配置されると共に、検証用のラッピングポストピンが配設された2つのピンポスト部83a, 83b, ここでは図示しない外部のボードとの接続に用いられるコネクタ部(図では“CON51～55”と示す)84a～84e、任意のIC, LSIと接続可能なフリースホルダ等が設けられる。

【0085】さらに、FPGAチップ82a, 82bの中間位置に上記図9あるいは図10で示した配線回路(GA)86aが、FPGAチップ82a, 82cの中間位置に配線回路86bが、FPGAチップ82c, 82dの中間位置に配線回路86cが、FPGAチップ82b, 82dの中間位置に配線回路86dが、2つのピンポスト部83a, 83bとコネクタ部84a～84dの中間位置に配線回路86e～86gがそれぞれ配置される。

【0086】上記FPGAチップ82a～82dは、それぞれ多数の端子を有し、ここではそのうちFPGAチップ82aの端子t31～t36、FPGAチップ82bの端子t37～t42、FPGAチップ82cの端子t43～t48及びFPGAチップ82dの端子t49～t54が配線接続されているものとする。

【0087】すなわち、FPGAチップ82aでは、端子t31が配線L41を介してFPGAチップ82cの端子t43と、端子t32が配線L42を介して配線回路86b及び配線L43を介してFPGAチップ82bの端子t38と、端子t33が配線L44を介してFPGAチップ82bの端子t37と、端子t34が配線L45を介して配線回路86b及び配線L46を介して配線回路86aと、端子t35が配線L47を介してFPGAチップ82cの端子t47及び配線L48を介して配線回路86aと、そして端子t36が配線L49を介してFPGAチップ82dの端子t54とそれぞれ接続される。

【0088】また、FPGAチップ82bでは、端子t37が配線L49を介してピンポスト部83aのピンポストTP31と、端子t38が配線L50を介してピンポスト部83aのピンポストTP32及び配線L51を介して配線回路86dと、端子t39が配線L52を介してピンポスト部83aのピンポストTP34及び配線L80を介してFPGAチップ82dの端子t51と、端子t40が配線L53を介して配線回路86a、配線L54を介してピンポスト部83aのピンポストTP33及び配線L55を介して配線回路86dと、端子t41が配線L56を介して配線回路86a及び配線L57を介してFPGAチップ82dの端子t53と、そして端子t42が配線L58を介してFPGAチップ82cの端子t48及び配線L59を介してピンポスト部83aのピンポストTP35とそれぞれ接続される。

【0089】さらに、FPGAチップ82cでは、端子t44が配線L60を介して配線回路86b及び配線L61を介してFPGAチップ82dの端子t50と、端子t45が配線L62を介してFPGAチップ82dの端子t49と、端子t46が配線L63を介して配線回路86b及び配線L64を介して配線回路86cと、端子t47が配線L65を介して配線回路

86cとそれぞれ接続される。

【0090】また、FPGAチップ82dでは、端子t49が配線L66を介してピンボスト部83bのピンボストT P42と、端子t50が配線L67を介してピンボスト部83bのピンボストT P41及び配線L68を介して配線回路86dと、端子t52が配線L69を介して配線回路86c及び配線L70を介して配線回路86dと、端子t53が配線L71を介して配線回路86cとそれぞれ接続される。

【0091】さらに、配線L72により上記コネクタ部84eの1端子c15が配線L58及び配線49と接続され、それがためにコネクタ部84eの1端子c15がFPGAチップ82aの端子t36、FPGAチップ82bの端子t42、FPGAチップ82cの端子t48及びFPGAチップ82dの端子t54と一括接続される。

【0092】しかるに、ピンボスト部83aでは、ピンボストT P31がラッピン配線WR11を介して上記フリーホール85に装着されたC87の1端子Q11と接続されると共に、ピンボストT P32が配線L73を介して配線回路86e、配線L74を介して配線回路86f及び配線L75を介して配線回路86gとそれぞれ接続される。

【0093】そして、上記配線回路86eは配線L76を介して上記コネクタ部54a及び配線L77を介して上記コネクタ部54bと、上記配線回路86fは配線L78を介して上記コネクタ部54cと、そして上記配線回路86gは配線L79を介して上記コネクタ部54dとそれぞれ接続される。

【0094】上記配線回路86a～86gは、上記図9あるいは図10に示した如くいずれも配線遅延の影響を考慮する必要のない配線状態を推断するものである。続く図12に、上記図11のようにして構成されたテストボード81を第1のテストボードとし、他の同様の第2乃至第4のテストボード92～94と共に拡張ボード95に対してシステム接続した場合を示す。

【0095】同図で、第1のテストボード81では、コネクタ部（CON51）84aが配線L81を介して第2のテストボード92のコネクタ部（CON61）96aと、コネクタ部（CON52）84bが配線L82を介して第4のテストボード94のコネクタ部（CON82）98bと、コネクタ部（CON53）84cが配線L83を介して拡張ボード95のコネクタ部（CONS12）99bと、そして、コネクタ部（CON54）84dが配線L84を介して第2のテストボード93のコネクタ部（CON74）97dにそれぞれ接続される。

【0096】また、第2のテストボード92では、コネクタ部（CON62）96bが配線L85を介して第3のテストボード93のコネクタ部（CON72）97bと、コネクタ部（CON63）96cが配線L86を介して拡張ボード95のコネクタ部（CONS11）99aと、そしてコネクタ部（CON64）96dが配線L87を介して第4のテストボード94のコネクタ部（CON84）98dにそれぞれ接続される。

【0097】さらに、第3のテストボード93ではコネクタ部（CON71）97aが配線L88を介して第4のテストボード94のコネクタ部（CON81）98aと、コネクタ部（CON73）97cが配線L89を介して拡張ボード95のコネクタ部（CONS13）99cにそれぞれ接続され、第4のテストボード94のコネクタ部（CON83）98cが配線L90を介して拡張ボード95のコネクタ部（CONS14）99dに接続される。

【0098】以上のような構成にあって、まず図11によるテストボード81内での配線動作について説明する。図11で、評価回路中のある信号について例えばFPGAチップ82aからFPGAチップ82bへの配線を行なう場合、まずFPGAチップのレイアウト処理としてFPGAチップ82aの出力端子をt33に割振ると共に、FPGAチップ82bの入力端子をt37に割振るものとする。これら端子t33～t37間には配線L44によりすでに接続されているため、これでFPGAチップ82aからFPGAチップ82bへの接続が実現される。

【0099】同様な接続レイアウト処理を図中の配線L49、L58、L80、L41、L62、L43それぞれの両端に位置するFPGAチップ82a～82dについても行なう。しかるに、FPGAチップ82a～82dの各端子t35、t41、t53、t47及びその間の配線L48、L56、L57、L71、L65、L47による4点間接続を行なう場合、上記レイアウト処理を実行すると共に、配線回路86aにより配線L48と配線L56を接続及び配線回路86cにより配線L71と配線L65を接続をそれぞれ確立することにより、該接続が実現される。なお、FPGAチップの未使用な外部端子は高インピーダンス状態であるので、仮に3点間のFPGAチップの配線を行なう際に物理的に4点間のFPGAチップを接続したとしても問題はない。

【0100】また反対に、配線回路86a、86cで内部の入出力バッファを構成するトライステートバッファのイネーブル/ディセーブル信号を全てディセーブル状態とすることにより、配線L48と配線L56、配線L71と配線L65の間の接続が断たれることとなるので、配線L57と配線L47はそれぞれ独立した2点間のFPGA接続となり、この2点間の配線レイアウト処理を施すことが可能となる。

【0101】同様な接続レイアウト処理を配線回路86bと配線回路86dについても行なう。また、配線L50によりピンボスト部83aのピンボストT P32と配線L43とを接続すると、測定評価時にピンボストT P32を接続することにより配線L43の状態を知ることができる。

【0102】さらに、ピンボストT P32は配線L73～L75、配線回路86e～86g、配線L76～L79を介してコネクタ部84a～84dと接続されるため、コネクタ部84a～84dに対応した配線回路86e～86gでコネクタ部84a～84dに対応した入出力バッファのトライステートバッファへのイネーブル/ディセーブル信号を任意に設定する

ことにより、所望のコネクタ部84a~84dの1端子と配線L43、すなわちFPGAチップ82aの端子t32及びFPGAチップ82bの端子t38を接続することができる。

【0103】このように、FPGAチップ間の各配線毎にピンポスト部83a、83bのピンポストPnを接続配線するものとし、各ピンポストPnを配線回路86e~86gを介してコネクタ部84a~84dと接続されるようにすれば、任意のFPGAチップの端子を観測可能となると共に、任意のコネクタ部に接続することができる。

【0104】また、配線L49により配線L44と接続されたピンポスト部83aのピンポストP31は、ラッピング配線WR11によりフリーホール85LのディスクリートICであるIC87の1端子Q11と接続することができる。

【0105】コネクタ部84aの1端子c15から外部信号が入力されると、この外部信号は配線L72から配線L58、L49を介してFPGAチップ82bの端子t42、FPGAチップ82cの端子t48、FPGAチップ82aの端子t36及びFPGAチップ82dの端子t54と一括接続されているため、FPGAチップ82a~82dのそれぞれに分配供給することができる。したがって、この外部信号として例えばクロックやリセット等のファンアウトの高い信号を供給するべくレイアウト処理で割振るようになれば、FPGAチップ82a~82dをより有効に使用することができる。

【0106】上記図11のようにして構成されたテストボード81を第1のテストボードとし、他の同様の第2乃至第4のテストボード92~94と共に拡張ボード95に対して図12の如くシステム接続したものとす。

【0107】この場合、配線L81、L87、L88、L84、L82及びL85により第1のテストボード81と第2乃至第4のテストボード92~94上の「CONN1」「CONN2」「CONN4」（ここでnは5、6、7、8）で表わされるコネクタ部を介して各テストボード81、92~94が接続される。

【0108】また、これと共に、配線L83、L86、L89及びL90により第1のテストボード81及び第2乃至第4のテストボード92~94上の「CONN2」（nは上記と同じ）で表わされるコネクタ部と拡張ボード95上の「CONS11~14」で表わされるコネクタ部98a~99dを介して、各テストボード81、92~94と拡張ボード95とが接続される。

【0109】第1のテストボード81内では、第2乃至第4のテストボード92~94及び拡張ボード95と接続されたコネクタ部（CONN51~54）84a~84dそれぞれの1端子を、配線回路86e~86gの設定によりピンポスト部83aと接続しており、またこのピンポスト部83aは上記図11に示したように各FPGAチップ82a~82dの任意端子と接続されている。

【0110】したがって、第1のテストボード81内のFPGAチップ82a~82dと第2乃至第4のテストボード

92~94及び拡張ボード95に搭載される任意のFPGA、LSIあるいはIC等とを接続することができる。この場合、第1のテストボード81内の配線回路86a~86gはそれぞれ配線遅延の影響を考慮することなく各配線の接続状態を可変設定することができるものである。

【0111】

【発明の効果】以上詳記した如く本発明によれば、配線遅延の影響を受けず、配線の自由度を上げて使用効率を大幅に向上させることができるプログラム可能な配線回路及びテストボード装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るFPGAチップの内部構成を例示する図。

【図2】同実施例に係る他の構成を例示する図。

【図3】同実施例に係る他の構成を例示する図。

【図4】本発明の第2実施例に係るFPGAチップを搭載したテストボード装置の全体構成を示す図。

【図5】同実施例に係るFPGAチップの内部構成を例示する図。

【図6】同実施例に係るテストボード装置内でのFPGAチップとLSIの接続状態を例示する図。

【図7】本発明の第3実施例に係るテストボード装置の全体構成を示す図。

【図8】同実施例に係る他のテストボード装置との接続状態を例示する図。

【図9】本発明の第4実施例に係る配線回路（ゲートアレイチップ）の内部構成を例示する図。

【図10】図9の他の構成を例示する図。

【図11】同実施例に係るテストボード装置の全体構成を示す図。

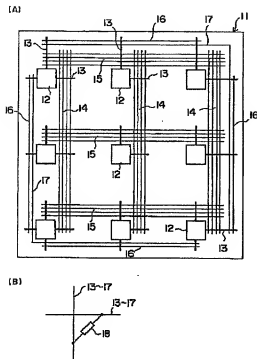
【図12】同実施例に係る他のテストボード装置との接続状態を例示する図。

【符号の説明】

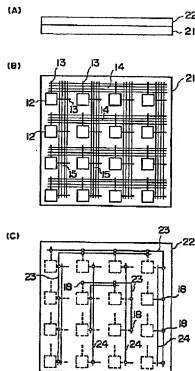
11、33a~33d...FPGAチップ、12、72...入出力端子、13、42、48...入出力ライン、14、43...水平方向汎用配線、15、44...垂直方向汎用配線、16、17、23、24、27、28...バイパス配線、18...接続ポイント、21、25...第1の層、22、26...第2の層、31...テストボード、32...バスライン、34a~34g...LSI、35a、35b...一般の信号線、41...汎用入出力端子、45...バス専用配線、46...バス専用入出力端子、51、81...（第1の）テストボード、52a~52d、82a~82d...FPGAチップ、53a、53b、83a、83b...ピンポスト部、54a~54e、66a~66e、67a~67e、68a~68e、69a~69e、84a~84e、96a~96e、97a~97e、98a~98e、99a~99e...コネクタ部、55、85...フリーホール、56、87...IC、62~64、92~94...第2乃至第4のテストボード、65、95...拡張ボード、71、86a~86g...配線回路（ゲートアレイチップ）、73...入出力バッファ、74...汎用配線、75...トライステートバッファ、制御回路76...、77...コンパ

21
タ、78…フリップフロップ (F/F)、79…クロック端* *子、80…制御端子。

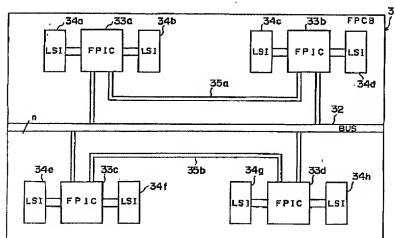
【図1】



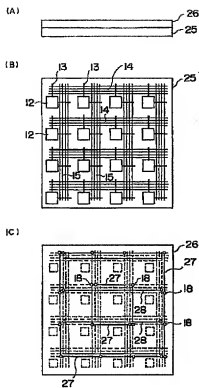
【図2】



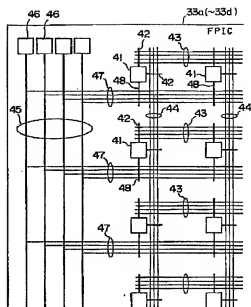
【図4】



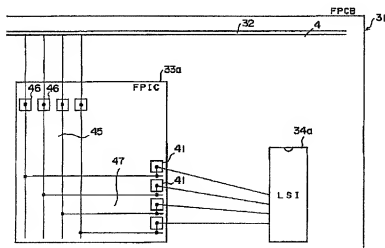
【図3】



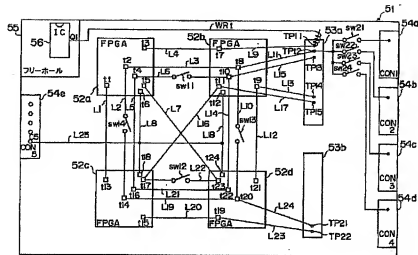
【図5】



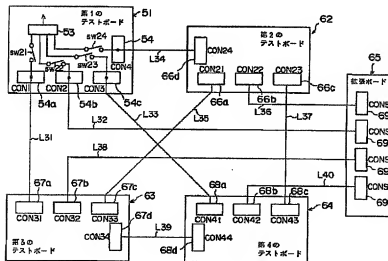
【図6】



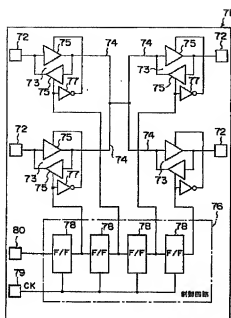
【図7】



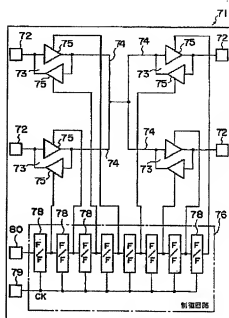
【図8】



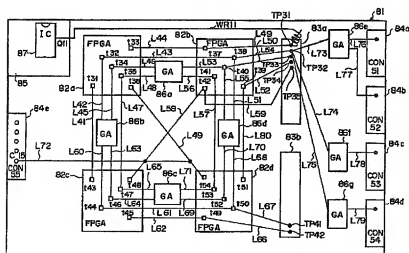
【图9】



【图 10】



【圖 1 1】



(51) Int.Cl.⁶

FI

技術表示箇所

C